

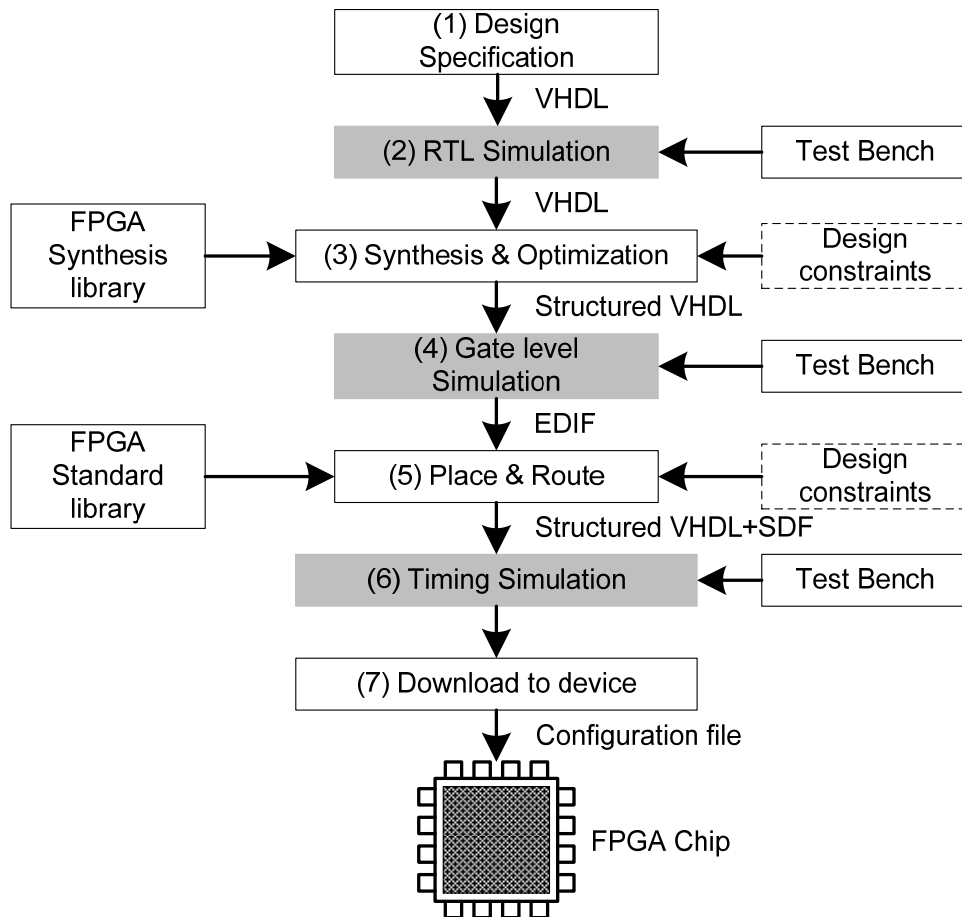
Experiment Adv DSD-03: Synthesis, Implementation and FPGA Configuration

วัตถุประสงค์:

1. เรียนรู้และทดลองทำการสังเคราะห์วงจรเบื้องต้น
2. เรียนรู้ทดลองการ Implementation
3. ทดสอบวงจรที่ออกแบบบนบอร์ด FPGA

บทนำ

Design Flow Diagram



รูปที่ 3.1 Design Flow Diagram

Implementation


หลังจากได้ Netlist ซึ่งเป็นผลจากการสังเคราะห์วงจรแล้ว ข้อมูล Netlist จะระบุแค่แผนผังของ วงจร Logic Gate, Flip-flop, Memory... etc มีการเชื่อมต่อกันอย่างไร ต่อไปจะต้องนำเอาแผนผังนี้ไปทำการ Implement ซึ่งก็คือการจัดรูปแบบการวางตำแหน่งวงจรแต่ละส่วนให้ลงไปอยู่ใน FPGA อย่างไร และมีเส้นทางการเชื่อมต่อระหว่างวงจรวางอย่างไร ซึ่งขั้นตอนการ Implement จะประกอบไปด้วย

- Translate
- Map
- Place & Route

การ Implement จะทำเป็นลำดับขั้นตอนตามลำดับ และแต่ละขั้นตอนก็จะมีไฟล์รายงานแต่ละส่วน โดยสามารถสั่งให้ทำงานจากหน้าต่าง Process Window

ขั้นตอนการทดลอง

Synthesis



1. สร้างโปรเจ็ค VHDL ด้วย Project Navigator โดยกำหนดรายละเอียดเพิ่มเติม ดังนี้
 - Family : Spartan3
 - Device : XC3S200
 - Package : TQ144
 - Speed : -4
2. คลิก Next ไปเรื่อยๆจนพบหน้าต่าง Add Existing Sources ให้ทำการ add ไฟล์จาก Adv DLD-02 คือ lab02_pack.vhd, seg7_decoder.vhd และ tb_seg7_decoder.vht คลิกช่อง Copy to Project เพื่อคัดลอกไฟล์เหล่านี้มาเก็บไว้โฟลเดอร์เดียวกับโปรเจ็คด้วย
3. ทำการสังเคราะห์วงจรโดย ที่หน้าต่าง Processes คลิกขวาที่ Synthesize – XST แล้วเลือก Run เมื่อทำการสังเคราะห์เสร็จจะปรากฏ  ที่หน้าแถบ Synthesize – XST > View Synthesis Report
4. ดูรายงานผลการสังเคราะห์วงจร โดยคลิกที่ View Synthesis Report แล้วหาจำนวนทรัพยากรทั้งหมดไปในวงจร

Number of Slices: out of %
 Number of 4 input LUTs: out of %
 Number of bonded IOBs: out of %

Maximum combinational path delay: ns
5. ดับเบิลคลิกที่ RTL Schematic เพื่อดูไดอะแกรมของวงจที่ได้จาก VHDL code
6. ดับเบิลคลิกที่ View Technology Schematic สังเกตความแตกต่างจาก RTL Schematic

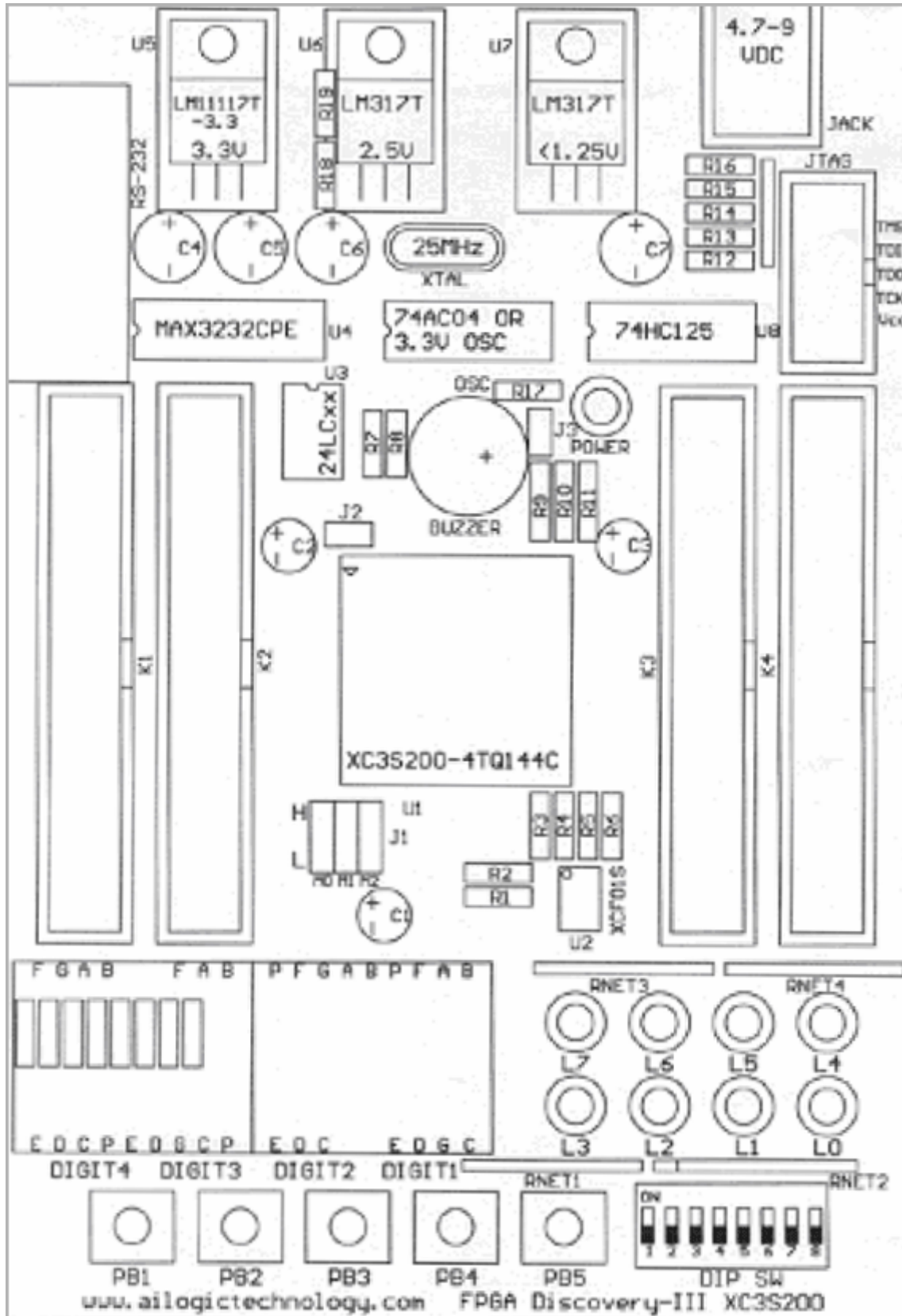
หมายเหตุ: RTL Schematic เป็น Schematic ที่แปลงมาจากการอธิบายรูปแบบวงจรจากภาษา VHDL โดยตรงไม่อ้างอิงกับ technology ใดๆ ส่วน Technology Schematic เป็นการแปลงรูปแบบ RTL Schematic ให้อยู่ในรูปวงจรที่ขึ้นกับ technology ที่กำหนดไว้ เช่น ถ้ากำหนดเบอร์ FPGA ให้เป็นตระกูลอื่นๆแล้ว RTL Schematic จะเหมือนเดิม แต่ Technology Schematic จะเปลี่ยนไปให้เหมาะสมกับ Technology นั้นๆ

Implementation & download to FPGA Board

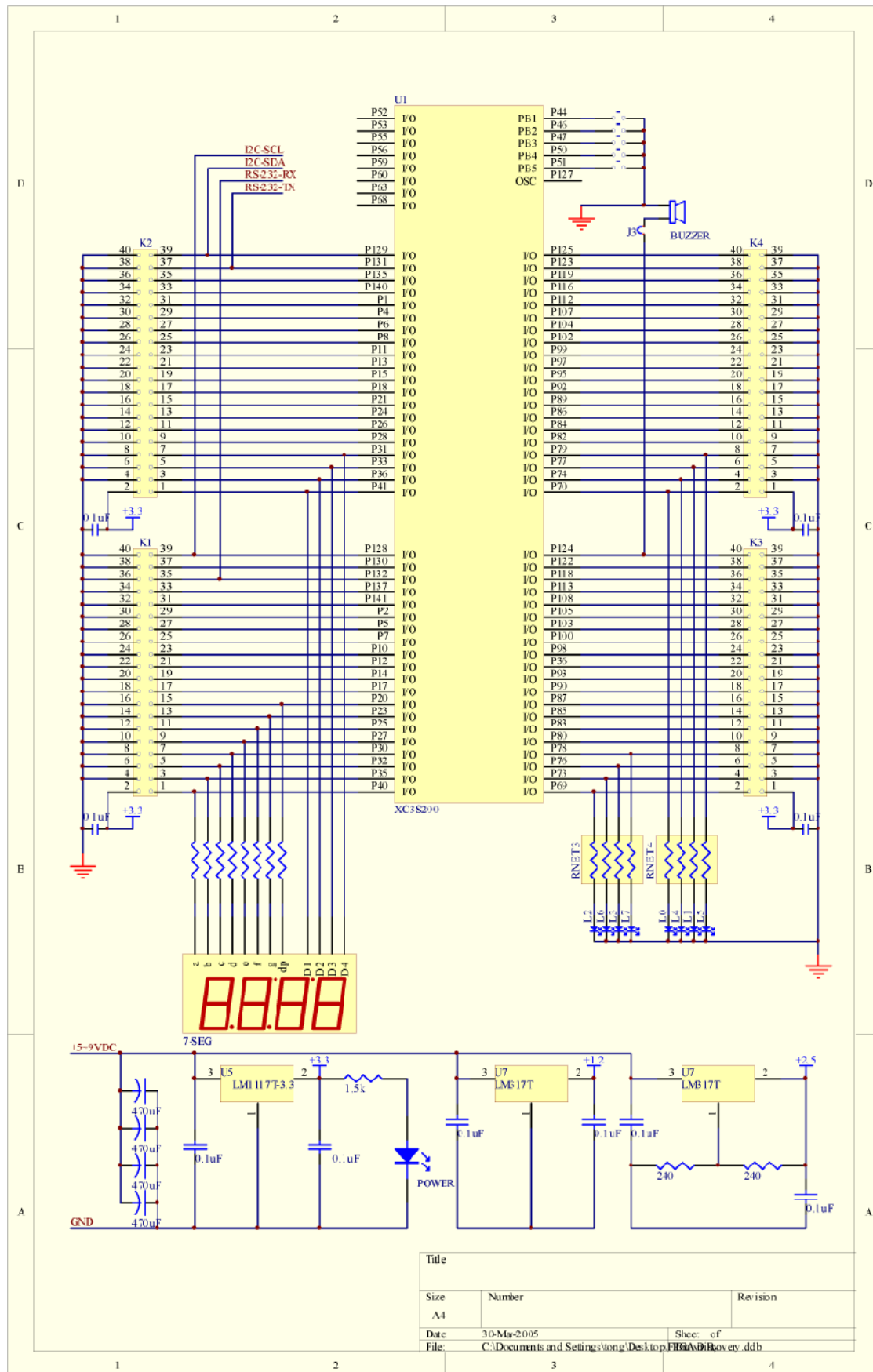
- สร้าง Constrain file โดยคลิกเมนูบาร์ Project -> New Source เลือกประเภทไฟล์เป็น Implementation Constraints File โดยตั้งชื่อ seg7_constrain แล้วเลือกวงจรที่ต้องการใช้ Constraint file เป็น seg7_decoder จะได้ไฟล์ชื่อว่า seg7_constrain.ucf
- เปิดโปรแกรมสำหรับกำหนดตำแหน่ง pin ของ FPGA โดยที่หน้าต่าง Source ดับเบิลคลิกที่ seg7_constrain.ucf จะพบหน้าต่าง โปรแกรม ISE PACE
- ที่หน้าต่าง Design Object List – I/O Pins ให้ทำการกำหนดตำแหน่ง I/O ของวงจรให้สัมพันธ์กับ FPGA pin โดยกำหนดที่ช่อง Loc รายละเอียดตำแหน่งของ FPGA กับอุปกรณ์บนบอร์ดทดลองดูได้ที่ ภาคผนวก
- ทำการ Implement Design โดยเลือกไฟล์ seg7_decoder.vhd ที่หน้าต่าง Source ที่หน้าต่าง Processes คลิก “+” ที่อยู่หน้า Implement Design จนเป็น “-“ จากนั้นทำการ Run ที่ Implement Design เมื่อเสร็จจะปรากฏ  ที่หน้าแถบ Implement Design และแถบ Translate, Map, Place & Route ซึ่งอยู่ใน Implement Design ด้วย
- ต่อสาย JTAG เข้ากับพอร์ตขนานของคอมพิวเตอร์ และขั้ว JTAG ที่บอร์ด FPGA D3 XC3S200F พร้อมทั้งจ่ายไฟเลี้ยงเข้าบอร์ด
- โปรแกรมข้อมูลวงจรลงบนชิพ โดยไปที่หน้าต่าง Processes คลิก “+” ที่อยู่หน้า Generate Programming File จนเป็น “-“ จากนั้นทำการ Run ที่ Generate Programming File เมื่อเสร็จจะปรากฏ  ที่หน้าแถบ Generate Programming File และ Programming File Generate Report
- ทำการ Run ที่ Generate Programming File > Configure Device (iMPACT) จะปรากฏหน้าต่าง iMPACT – Welcome to iMPACT ให้กด Finish จะมีหน้าต่าง Assign New Configuration File ครั้งแรก ซึ่งจะถามหาไฟล์ที่มีนามสกุล *.mcs ให้คลิก Bypass จะปรากฏหน้าต่าง Assign New Configuration File อีกครั้ง ให้เลือกไฟล์ที่มีนามสกุล *.bit แล้ว Open
- ที่โปรแกรม iMPACT ให้คลิกขวาที่ชิพเบอร์ XC3S200 แล้วเลือก Program... แล้วกด OK จนกระทั่งทำการโปรแกรมเสร็จสมบูรณ์
- ทดลองวงจรที่โปรแกรมลงบนชิพ

10. พิจารณาผลการทดลองที่เกิดขึ้นและบันทึกผล

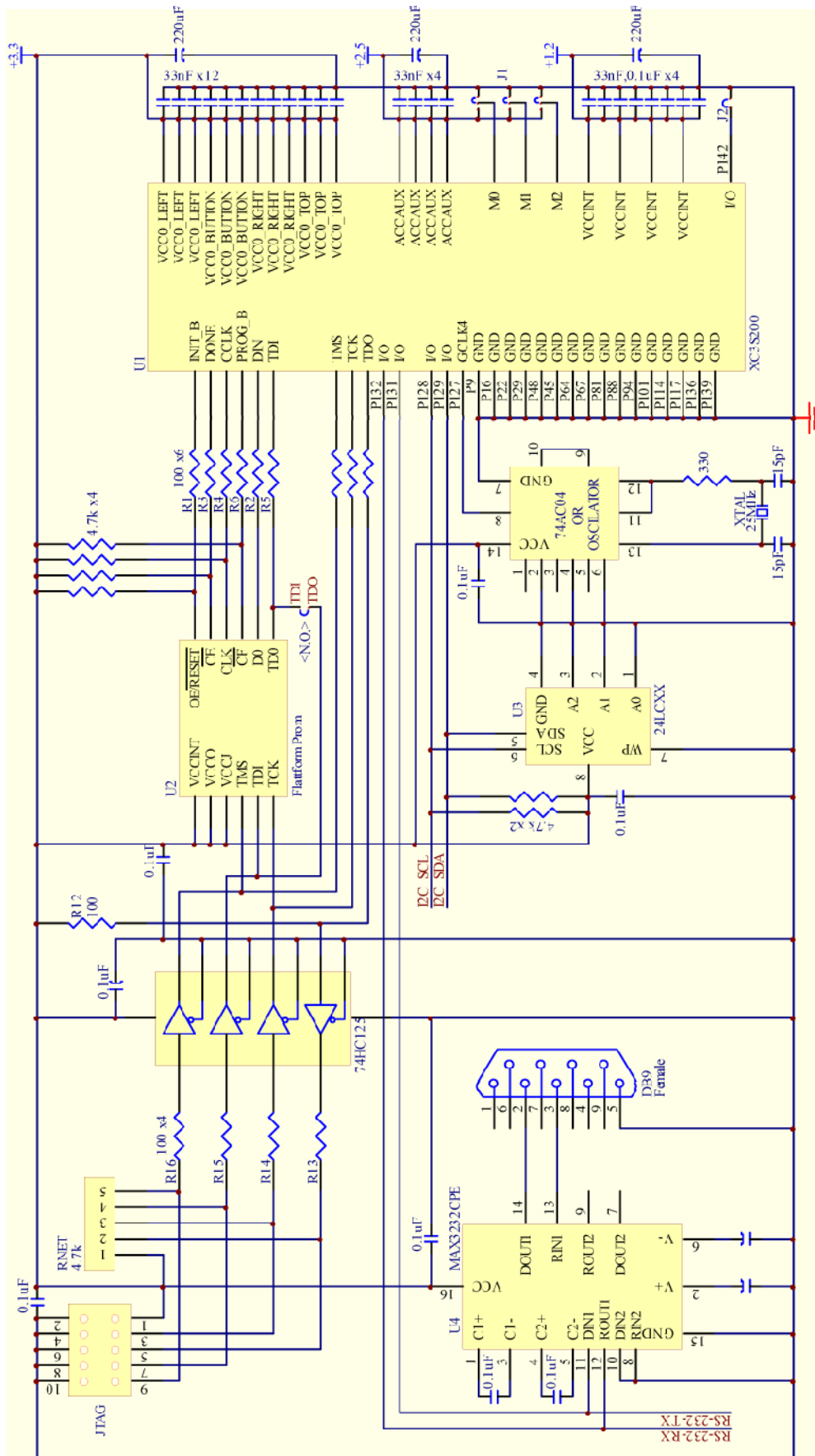
ภาคผนวก



รูปที่ 3.2 การจัดวางตำแหน่งอุปกรณ์



ไดอะแกรมผังวงจรบอร์ดทดลอง FPGA Discovery-III XC3S200 (a)



ไดอะแกรมผังวงจรบอร์ดทดลอง FPGA Discovery-III XC3S200 (b)

K1 CONNECTOR					
Descriptions	FPGA Pinout	k1 Pinout	k1 Pinout	FPGA Pinout	Descriptions
GND	-	40	39	p128	I/O , I2C-SCL
GND	-	38	37	p130	I/O
GND	-	36	35	p132	I/O , RS-232(RX)
GND	-	34	33	p137	I/O
GND	-	32	31	p141	I/O
GND	-	30	29	p2	I/O
GND	-	28	27	p5	I/O
GND	-	26	25	p7	I/O
GND	-	24	23	p10	I/O
GND	-	22	21	p12	I/O
GND	-	20	19	p14	I/O
GND	-	18	17	p17	I/O
GND	-	16	15	p20	I/O , dp-7 Segment
GND	-	14	13	p23	I/O , g-7 Segment
GND	-	12	11	p25	I/O , f-7 Segment
GND	-	10	9	p27	I/O , e-7 Segment
GND	-	8	7	p30	I/O , d-7 Segment
GND	-	6	5	p32	I/O , c-7 Segment
GND	-	4	3	p35	I/O , b-7 Segment
+3.3V.Vcc	-	2	1	p40	I/O , a-7 Segment

K2 CONNECTOR					
Descriptions	FPGA Pinout	K2 Pinout	K2 Pinout	FPGA Pinout	Descriptions
GND	-	40	39	p129	I/O , I2C-SDA
GND	-	38	37	p131	I/O , RS-232(TX)
GND	-	36	35	p135	I/O
GND	-	34	33	p140	I/O
GND	-	32	31	p1	I/O
GND	-	30	29	p4	I/O
GND	-	28	27	p6	I/O
GND	-	26	25	p8	I/O
GND	-	24	23	p11	I/O
GND	-	22	21	p13	I/O
GND	-	20	19	p15	I/O
GND	-	18	17	p18	I/O
GND	-	16	15	p21	I/O
GND	-	14	13	p24	I/O
GND	-	12	11	p26	I/O
GND	-	10	9	p28	I/O
GND	-	8	7	p31	I/O , DIGIT1
GND	-	6	5	p33	I/O , DIGIT2
GND	-	4	3	p36	I/O , DIGIT3
+3.3V. Vcc	-	2	1	p41	I/O , DIGIT4

รายละเอียดอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List)

K3 CONNECTOR					
Descriptions	FPGA Pinout	K3 Pinout	K3 Pinout	FPGA Pinout	Descriptions
I/O	p124	40	39	-	GND
I/O	p122	38	37	-	GND
I/O	p118	36	35	-	GND
I/O	p113	34	33	-	GND
I/O	p108	32	31	-	GND
I/O	p105	30	29	-	GND
I/O	p103	28	27	-	GND
I/O	p100	26	25	-	GND
I/O	p98	24	23	-	GND
I/O	P96	22	21	-	GND
I/O	p93	20	19	-	GND
I/O	p90	18	17	-	GND
I/O	p87	16	15	-	GND
I/O	p85	14	13	-	GND
I/O	p83	12	11	-	GND
I/O	p80	10	9	-	GND
I/O , L7	p78	8	7	-	GND
I/O , L3	p76	6	5	-	GND
I/O , L6	p73	4	3	-	GND
I/O , L2	p69	2	1	-	+3.3 V. Vcc

K4 CONNECTOR					
Descriptions	FPGA Pinout	K4 Pinout	K4 Pinout	FPGA Pinout	Descriptions
I/O,BUZZER	p125	40	39	-	GND
I/O	p123	38	37	-	GND
I/O	p119	36	35	-	GND
I/O	p116	34	33	-	GND
I/O	p112	32	31	-	GND
I/O	p107	30	29	-	GND
I/O	p104	28	27	-	GND
I/O	p102	26	25	-	GND
I/O	p99	24	23	-	GND
I/O	p97	22	21	-	GND
I/O	p95	20	19	-	GND
I/O	p92	18	17	-	GND
I/O	p89	16	15	-	GND
I/O	p86	14	13	-	GND
I/O	p84	12	11	-	GND
I/O	p82	10	9	-	GND
I/O , L5	p79	8	7	-	GND
I/O , L1	p77	6	5	-	GND
I/O , L4	p74	4	3	-	GND
I/O , L0	p70	2	1	-	+3.3V. Vcc

รายละเอียดอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)

7-Segment	FPGA Pinout	Descriptions
a	p40	a
b	p35	b
c	p32	c
d	p30	d
e	p27	e
f	p25	f
g	p23	g
dp	p20	Decimal Point
DIGIT1	p31	DIGIT1 , COMMON CATHODE
DIGIT2	p33	DIGIT2 , COMMON CATHODE
DIGIT3	p36	DIGIT3 , COMMON CATHODE
DIGIT4	p41	DIGIT4 , COMMON CATHODE

Push Botton	FPGA Pinout	Descriptions
PB1	p44	Push Botton No. 1
PB2	p46	Push Botton No. 2
PB3	p47	Push Botton No. 3
PB4	p50	Push Botton No. 4
PB5	p51	Push Botton No. 5

EEPROM	FPGA Pinout	Descriptions
I2C-SCL	p128	24LCXX
I2C-SDA	p129	24LCXX

RS-232	FPGA Pinout	Descriptions
TX	p131	ICL3232CP
RX	p132	ICL3232CP

LED	FPGA Pinout	Descriptions
L0	p70	L0
L1	p77	L1
L2	p69	L2
L3	p76	L3
L4	p74	L4
L5	p79	L5
L6	p73	L6
L7	p78	L7

Dip SW	FPGA Pinout	Description
1	p52	Dip Switch No.1
2	p53	Dip Switch No.2
3	p55	Dip Switch No.3
4	p56	Dip Switch No.4
5	p59	Dip Switch No.5
6	p60	Dip Switch No.6
7	p63	Dip Switch No.7
8	p68	Dip Switch No.8

Oscillator	FPGA Pinout	Descriptions
OSC	p127	25MHz , GCLK6

BUZZER	FPGA Pinout	Descriptions
BUZZER	p125	BUZZER

รายละเอียดอุปกรณ์ที่ต่ออยู่กับขา FPGA (I/O List) (ต่อ)