ภาควิชาวิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์

Experiment Adv DSD-02: Case Statement, Package and VHDL Test Bench

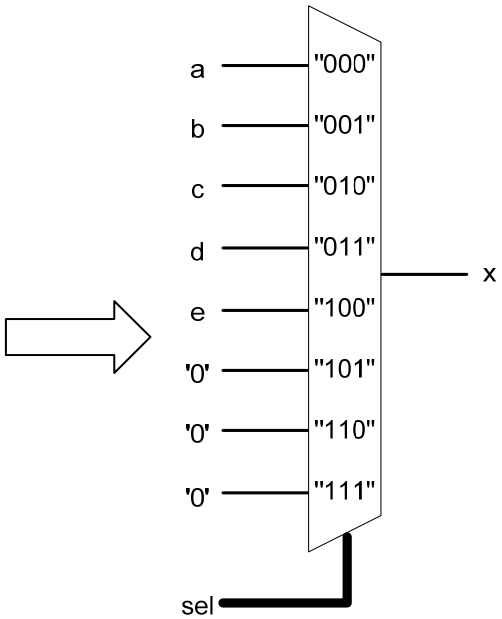
วัตถุประสงค์:

1. เข้าใจการสร้างวงจรด้วย Case Statement
2. เพื่อเรียนรู้การสร้างและเรียกใช้งาน Package
3. เพื่อเรียนรู้การเขียน Test Bench ด้วย VHDL code

Case Statement

Case Statement เป็นคำสั่งประเภท Sequential Statement ต้องอยู่ภายใต้ Process วงจรที่ได้จะมีลักษณะเป็นแบบ Multiplexer แบบหลายๆ อินพุตดังรูปที่ 2.1

```
Process (sel, a, b, c, d, e)
begin

      case sel is
            when “000” =>
                  x <= a;
            when “001” =>
                  x <= a;
            when “010” =>
                  x <= a;
            when “011” =>
                  x <= a;
            when “100” =>
                  x <= a;
            when others =>
                  x <= a;
      end case;

end process;
```



***รูปที่ 2.1** ลักษณะของ Case Statement*

Package

Package เป็น VHDL Module สำหรับการสร้าง Function, Constant, Signal Type ในกรณีที่ต้องการมีการเรียกใช้บ่อยๆ โดยไม่จำเป็นที่จะต้องไปประกาศในบริเวณ Signal Declaration อีก การเรียกใช้งาน ญackage ต่างๆ ใช้คำสั่ง Library และคำสั่ง se ดังนี้

```
Library ieee;                  -- ประกาศ Library ที่มี Package ที่ต้องการใช้
Use ieee.std_logic_1164.all;   -- ระบุว่าต้องการใช้ Package ชื่อ std_logic_1164 ซึ่งถูกเก็บ
                                  ไว้ใน Library ชื่อ ieee
```

```
Library .............
Use .................

Package pack_name is
      .............
      .............
      .............
end packname;

Package body pack_name is
      .............
      .............
      .............
end pack_name;
```

Library declaration

Signal, type, constant, function and procedure declaration

Function and procedure

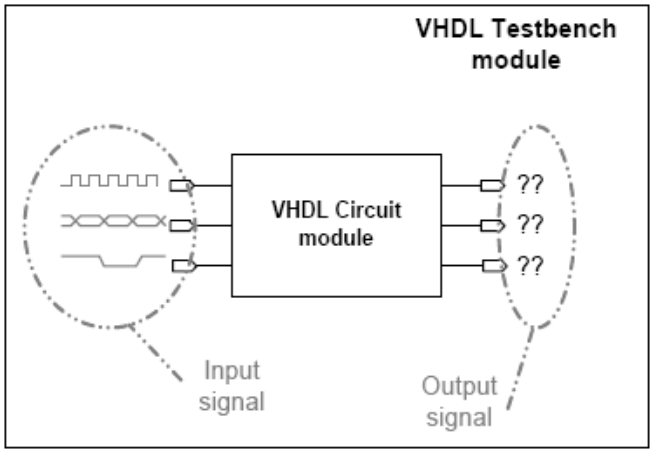
รูปที่ 2.2 *ลักษณะการเขียน Package*

ในกรณีใช้ Package ประกาศ Type, Constant ไม่จำเป็นต้องมี Package Body เนื่องจาก Package Body ใช้สำหรับ Function และ Procedure เท่านั้น

VHDL Test Bench

Test Bench เป็นการสร้างรูปแบบสัญญาณขึ้นมา แล้วใช้คาสั่ง Component เรียก Circuit Module ที่ต้องการทดสอบ และเชื่อมต่อสัญญาณที่สร้างขึ้นมากับ Circuit Module นั้นด้วยคาสั่ง Port Map

รูปแบบการเขียน Test Bench จะต่างจากการออกแบบวงจรตรงที่ การเขียน test bench ไม่จำเป็นต้องคานึงถึงการสังเคราะห์วงจร สามารถใช้คาสั่งได้ทุกคาสั่ง โครงสร้างจะเหมือนกับเขียนโค้ดสาหรับออกแบบวงจรคือมี Library, Entity, Architecture แต่ว่าใน Entity จะไม่มีพอร์ตเนื่องจากเป็นการจำลองรูปแบบสัญญาณขึ้นมา เพื่อต่อเข้ากับพอร์ตของวงจรที่เราจะทดสอบ โครงสร้าง Test Bench จะเป็นดังรูปที่ 2.3



รูปที่ 2.3 *VHDL Test Bench Module*

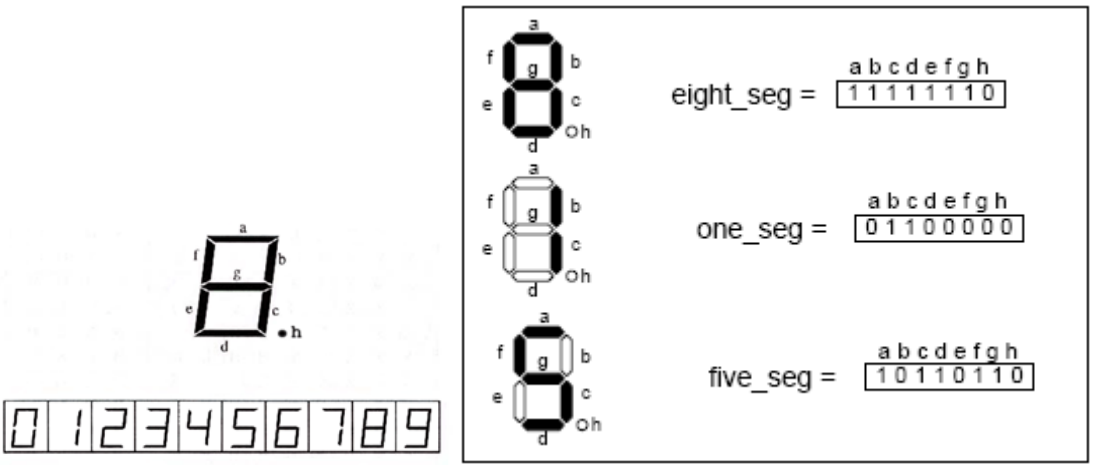
ขั้นตอนการทดลอง

Binary to 7-Segment decoder

1. สร้างโปรเจ็ค VHDL ด้วย Project Navigator โดยยังไม่ต้อง Add Source ใดๆ
2. สร้าง VHDL Package ชื่อ lab02_pack.vhd ด้วยการ Project -> New Source สำหรับสร้าง constant เพื่อควบคุม 7-Segment โดยแก้ไขจากรูปแบบที่กำหนดให้

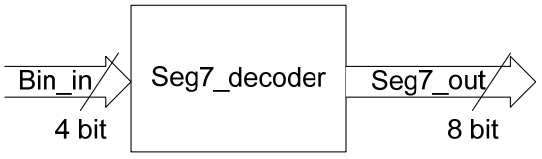
```
…… ieee;
Use ……

…… lab02_pack ……
      Contant zero_seg :std_logic_vector(……):=……;
      ……
      ……
      ............
…… lab02_pack;
```

โดยการประกาศ 7-segment ให้อยู่ในรูปแบบ “abcdefgh” โดย ลอจิก “1” คือ ติด ลอจิก “0” คือ ดับ ดังตัวอย่างในรูปที่ 2.4



รูปที่ 2.4 *7-segment*

3. สร้าง VHDL Module ชื่อ seg7_decoder สำหรับสร้างวงจร Binary to 7-segment Decoder โดยมีอินพุตเป็นข้อมูล Binary ขนาด 4 บิต เอาท์พุตขนาด 8 บิต สำหรับขับ 7-segment โดยมีรูปแบบและการทางานตามรูปที่ 2.5 และเรียกใช้ Constant ที่สร้างไว้ใน Package ชื่อ lab02_pack.vhd



Bin_in	seg7_decoder
“0000”	zero_seg
“0001”	one_seg
“0010”	two_seg
“0011”	three_seg
“0100”	four_seg
“0101”	five_seg
“0110”	six_seg
“0111”	seven_seg
“1000”	eight_seg
“1001”	nine_seq

รูปที่ 2.5 *รูปแบบและการทำงานของ7-segment Decoder*

หมายเหตุ: Package ที่ไม่ได้ระบุ Library ที่เฉพาะเจาะจง หลังการคอมไพล์ Package จะถูกเก็บไว้ที่ Default Library ชื่อ Work ดังนั้น ในการเรียกใช้ ต้องใช้คำสั่ง

use work.package_name.all;

โดยไม่ต้องประกาศ library work; เนื่องจากเป็น Default Library

ข้อแนะนำ: รูปแบบของ VHDL Module

```
…… ieee;
Use ……
Use ……
Entity …… is
        ……
        ……
……   ……;

……   …… of …… is
……
        ……(……)
        ……
        ……
……
```

4. สร้าง VHDL Test Bench ชื่อ tb_deg7_decoder สำหรับทดสอบวงจร โดยคลิ๊ก Project -> New Source จะพบหน้าต่าง Select สำหรับเลือกวงจรที่ต้องทดสอบ ให้เลือก seg7_decoder แล้วคลิ๊ก Next จากนั้น Project Navigator จะสร้าง Template ของ VHDL Test Bench ให้ทำการแก้ไขโดยให้มีกรณีของการทดสอบวงจรครบทุกกรณี
5. จำลองการทำงานของวงจรด้วย ISE Simulator และเปรียบเทียบผลลัพธ์ที่ได้
6. ศึกษาและอธิบายส่วนของโปรแกรมที่เขียนขึ้น

ข้อแนะนำ: รูปแบบของ VHDL Test Bench

```
Library ……
……  ……

…… tb_seg7_decoder_vhd ……

……

…… test ……  ……  ……

      COMPONENT ……
      PORT(……
            ……);
      END COMPONENT;

      SIGNAL ……
      ……
……

      uut: …… ……(  …… => …… ,
                        …… => …… );

      PROCESS
      BEGIN
            bin_in <= “0000”;
            wait for 50 ns;
            bin_in <= “0001”;
            wait for 50 ns;
            ……
            ……
            ……
            ……
            ……
            ……
            ……
      END PROCESS;

END;
```